

CMOS IMAGE SENSOR AND MANUFACTURING METHOD THEREFOR

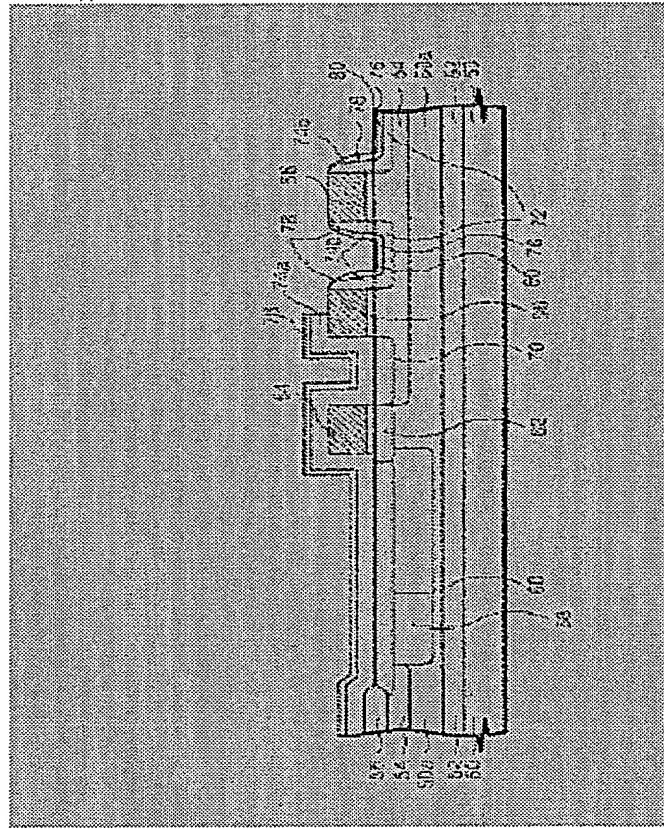
Patent number: JP2004104131
Publication date: 2004-04-02
Inventor: PARK YOUNG-HOON; JUNG SANG-IL
Applicant: SAMSUNG ELECTRONICS CO LTD
Classification:
- **international:** H01L27/146; H04N5/335
- **European:**
Application number: JP20030315975 20030908
Priority number(s): KR20020054907 20020911

Also published as:
 US2004046193 (A1)

[Report a data error here](#)

Abstract of JP2004104131

<P>PROBLEM TO BE SOLVED: To provide a CMOS image sensor and its manufacturing method.
<P>SOLUTION: An image sensor covers a transfer gate and a floating diffusion layer as the blocking to protect a photodiode on a diode region is expanded laterally. A manufacturing method of this image sensor forms a photodiode in the diode region and forms a transfer gate, a reset gate and a selection gate on an active region, while isolating them sequentially at predetermined spacing. The floating diffusion layer is formed in the active region between the transfer gate and the reset gate. A sidewall spacer is formed on the sidewall of a reset gate opposing the selection gate and on the sidewall of the selection gate, the upper part of the diode region is covered, and the blocking, which expands to the active region to cover the transfer gate and the floating diffusion layer, is formed.
<P>COPYRIGHT: (C)2004,JPO



Data supplied from the esp@cenet database - Worldwide

引 用 文 献 4

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号

特開2004-104131

(P2004-104131A)

(43) 公開日 平成16年4月2日(2004. 4. 2)

(51) Int.Cl.⁷
H01L 27/148
H04N 5/335F 1
H01L 27/14
H04N 5/335テーマコード(参考)
4M118
5C024

審査請求 未請求 請求項の数 15 O L (全 12 頁)

(21) 出願番号 特願2003-315975 (P2003-315975)
(22) 出願日 平成15年9月8日 (2003. 9. 8)
(31) 優先権主張番号 2002-054907
(32) 優先日 平成14年9月11日 (2002. 9. 11)
(33) 優先権主張国 韓国 (KR)(71) 出願人 390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞 416
(74) 代理人 100064908
弁理士 志賀 正武
(74) 代理人 100089037
弁理士 渡邊 隆
(72) 発明者 朴 永薰
大韓民国京畿道水原市八達区仁溪洞(番地
なし) サムスンアパート101棟310
号
(72) 発明者 鄭 相日
大韓民国ソウル東大門区長安4洞555-
1 ハンシンアパート101棟1708号

最終頁に続く

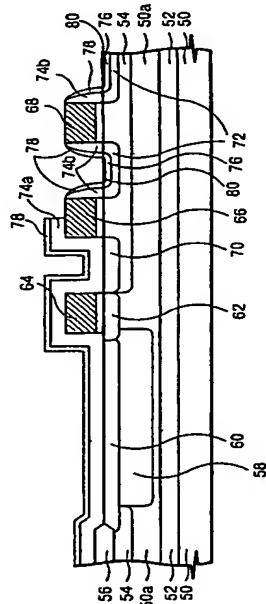
(54) 【発明の名称】 CMOSイメージセンサ及びその製造方法

(57) 【要約】

【課題】 CMOSイメージセンサ及びその製造方法を提供する。

【解決手段】 本発明のイメージセンサはダイオード領域上にフォトダイオードを保護するプロッキングが側方に拡張されてトランスマスクゲート及び浮遊拡散層まで覆う。このイメージセンサの製造方法はダイオード領域内にフォトダイオードを形成し、活性領域上にトランスマスクゲート、リセットゲート及び選択ゲートを順次に所定間隔離隔させて形成する。トランスマスクゲート及びリセットゲートの間の活性領域内に浮遊拡散層を形成する。選択ゲートに対向するリセットゲートの側壁及び選択ゲートの側壁上に側壁スペーサを形成し、ダイオード領域の上部を覆い、活性領域まで拡張してトランスマスクゲート及び浮遊拡散層を覆うプロッキングを形成する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

半導体基板に形成されてダイオード領域及び活性領域を限定する素子分離パターンと、前記フォトダイオード領域内に形成されたフォトダイオードと、前記フォトダイオードに隣接して前記活性領域上に形成されたトランスマスクゲートと、前記トランスマスクゲートと所定間隔離隔されて前記活性領域上に互いに離隔されて順次に形成されたリセットゲート及び選択ゲートと、

前記トランスマスクゲート及び前記リセットゲートの間の活性領域に形成された浮遊拡散層と、

前記ダイオード領域上に形成されて前記フォトダイオードを保護するブロッキング層とを含み、

前記ブロッキング層は前記活性領域まで拡張されて前記トランスマスクゲート及び前記浮遊拡散層上に覆われたことを特徴とするCMOSイメージセンサ。

【請求項 2】

前記ブロッキング層は前記リセットゲート上部の所定領域に付加的に覆われたことを特徴とする請求項 1 に記載のCMOSイメージセンサ。

【請求項 3】

前記リセットゲート及び前記選択ゲートの間の活性領域と、前記選択ゲートに隣接する活性領域内に形成された低濃度拡散層と、

前記選択ゲートに対向する前記リセットゲートの側壁と、前記選択ゲートの側壁に形成された側壁スペーサと、

前記側壁スペーサに整列されて前記低濃度拡散層内に形成された高濃度拡散層とを含むことを特徴とする請求項 1 に記載のCMOSイメージセンサ。

【請求項 4】

前記ブロッキング層及び前記側壁スペーサ上に各々形成された保護層と、

前記保護層に整列されて前記高濃度拡散層内に形成されたサリサイド層とを付加的に含むことを特徴とする請求項 3 に記載のCMOSイメージセンサ。

【請求項 5】

前記フォトダイオードは、

前記ダイオード領域内に形成されたN型フォトダイオードと、

前記N型フォトダイオード上の前記ダイオード領域の表面に形成されたP型フォトダイオードとを付加的に含むことを特徴とする請求項 1 に記載のCMOSイメージセンサ。

【請求項 6】

前記トランスマスクゲート下部の前記活性領域内に形成されたN型チャンネル拡散層を付加的に含み、前記チャンネル拡散層及び前記N型フォトダイオードは互いに接続されたことを特徴とする請求項 5 に記載のCMOSイメージセンサ。

【請求項 7】

前記ダイオード領域周辺の前記半導体基板に形成されたPウェルを付加的に含み、

前記P型フォトダイオードは前記Pウェルに接続されたことを特徴とする請求項 5 に記載のCMOSイメージセンサ。

【請求項 8】

前記N型フォトダイオードの下部の半導体基板内に形成された深いPウェルを付加的に含むことを特徴とする請求項 5 に記載のCMOSイメージセンサ。

【請求項 9】

半導体基板にダイオード領域及び活性領域を限定する素子分離パターンを形成する段階と、

前記ダイオード領域内にフォトダイオードを形成する段階と、

前記活性領域上にトランスマスクゲート、リセットゲート及び選択ゲートを順次に所定間隔離隔させて形成し、前記トランスマスクゲートは前記ダイオード領域に隣接した活性領域上に形成する段階と、

10

20

30

40

50

前記トランスマルチゲート及び前記リセットゲートの間の活性領域内に浮遊拡散層を形成し、前記選択ゲート両側の活性領域内に低濃度拡散層を形成する段階と、

前記選択ゲートに対向する前記リセットゲートの側壁及び前記選択ゲートの側壁上に側壁スペーサを形成すると同時に、前記ダイオード領域の上部を覆い、前記活性領域まで拡張されて前記トランスマルチゲート及び前記浮遊拡散層を覆うブロッキング層を形成する段階と、

前記活性領域内に不純物を注入して前記低濃度拡散層内に前記側壁スペーサの外壁に整列された高濃度拡散層を形成する段階とを含むCMOSイメージセンサの製造方法。

【請求項 10】

前記フォトダイオードは前記トランスマルチゲート、前記リセットゲート及び前記選択ゲートを形成した後形成することを特徴とする請求項9に記載のCMOSイメージセンサの製造方法。

【請求項 11】

前記フォトダイオードを形成する段階は、

前記ダイオード領域内に不純物を注入して前記ダイオード領域の所定深さにN型フォトダイオードを形成する段階と、

前記ダイオード領域内に不純物を注入して前記N型フォトダイオード上の前記ダイオード領域の表面にP型フォトダイオードを形成する段階とを含むことを特徴とする請求項9に記載のCMOSイメージセンサの製造方法。

【請求項 12】

前記フォトダイオードを形成する段階以前に、

前記半導体基板内に深いPウェルを形成する段階と、

前記ダイオード領域周辺の前記半導体基板内にPウェルを形成する段階とを付加的に含み、

前記トランスマルチゲートを形成する前に前記トランスマルチゲートの下部の前記活性領域内にN型チャンネル拡散層を形成する段階を付加的に含み、

前記N型フォトダイオードは前記深いPウェルの上部の半導体基板内に形成されて前記N型チャンネル拡散層に接続されるように形成し、前記P型フォトダイオードは前記ダイオード領域周辺の前記Pウェルに接続されるように形成することを特徴とする請求項11に記載のCMOSイメージセンサの製造方法。

【請求項 13】

側壁スペーサ及び前記ブロッキング層を形成する段階は、

前記低濃度拡散層及び前記浮遊拡散層が形成された半導体基板の全面に絶縁膜を形成する段階と、

前記ダイオード領域、前記トランスマルチゲート及び前記浮遊拡散層の上部を覆うフォトレジストパターンを形成する段階と、

前記フォトレジストパターンをエッチングマスクとして使用して前記絶縁膜を異方性エッチングする段階と、

前記フォトレジストパターンを除去する段階とを含むことを特徴とする請求項9に記載のCMOSイメージセンサの製造方法。

【請求項 14】

前記低濃度拡散層、前記浮遊拡散層及び前記高濃度拡散層は前記活性領域内に不純物を注入して形成することを特徴とする請求項9に記載のCMOSイメージセンサの製造方法。

【請求項 15】

前記高濃度拡散層を形成した後、

前記ブロッキング層上にマスク絶縁層を形成し、前記側壁スペーサ上にマスクスペーサを形成する段階と、

前記半導体基板にシリサイド化工程を適用して前記高濃度拡散層内に前記マスクスペーサの外壁に整列されたシリサイド層を形成する段階とを付加的に含むことを特徴とする請

10

20

30

40

50

求項9に記載のCMOSイメージセンサの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はCMOSイメージセンサ及びその製造方法に関するものであり、より詳しくは暗電流を減少させたCMOSイメージセンサ及びその製造方法に関するものである。

【背景技術】

【0002】

CMOSイメージセンサは製造技術を用いて光学的映像を電気的信号に変換させる素子であって、MOSトランジスタを用いて順次に信号を出力するスイッチング方式を採用している。CMOSイメージセンサはCCD (Charge Coupled Device) イメージセンサに比べて駆動方式が簡便であり、CMOS技術を使用するため製造コストを低減することができ、電力消耗が低いという長所を持っている。CCDの場合工程がCMOSに比べて相対的に難しく、CMOSの場合ランダムアクセス (random access) が可能であるが、CCDは不可能な点等がある。1990年代後半及び最近にはCMOS工程技術の発達及び信号処理アルゴリズム (signal processing algorithm) の改善にCMOSイメージセンサが有していた短所が克服され、選択的にCCD工程をCMOSイメージセンサに適用することにより製品の質を改善している趨勢である。

【0003】

図1は典型的なCMOSイメージセンサを説明するための等価回路図である。

【0004】

図1を参照すると、典型的なCMOSイメージセンサはフォトダイオード、トランスマニアトランジスタTx、リセットトランジスタRx、選択トランジスタSx及びアクセストランジスタAxを含む。フォトダイオードにトランスマニアトランジスタTxとリセットトランジスタRxが直列に接続される。リセットトランジスタRxのドレーンに印加電圧Vddが接続される。トランスマニアトランジスタTxのドレーン (リセットトランジスタのソース) は浮遊拡散層 (floating diffusion) F/Dに該当し、浮遊拡散層F/Dは選択トランジスタSxのゲートに接続される。選択トランジスタSx及びアクセストランジスタAxは直列に接続され、選択トランジスタSxのドレーンに印加電圧Vddが接続される。

【0005】

CMOSイメージセンサの動作方式は次の通りである。

【0006】

まず、リセットトランジスタRxがターンオンされると、浮遊拡散層F/Dの電位が印加電圧Vddになる。外部からフォトダイオードに光が入射されると電子ホール対EHP (electron-hole pair) が生成されて信号電荷がトランスマニアトランジスタTxのソースに蓄積される。トランスマニアトランジスタTxがターンオンされると、蓄積された信号電荷は浮遊拡散層F/Dに伝達されて浮遊拡散層F/Dの電位が変化されると同時に選択トランジスタSxのゲート電位が変化される。この際、選択信号RowによりアクセストランジスタAxがターンオンされると、データが出力端Outに出力される。リセットトランジスタRxがターンオンされると、浮遊拡散層F/Dの電位が印加電圧Vddになり、こうした過程を反復して映像信号を出力する。

【0007】

図2は典型的なCMOSイメージセンサを示した平面図である。

【0008】

図2を参照すると、CMOSイメージセンサは基板に形成されてダイオード領域40及び活性領域42を限定する素子分離パターン56を含む。通常的にダイオード領域40は光効率を高めるために広く形成され、活性領域42はダイオード領域40の一側で延びて形成される。活性領域42上にトランスマニアゲート64, 24、リセットゲート66, 2

10

20

30

40

50

6 及び選択ゲート 6.8, 2.8 が順次的に所定間隔離隔されて形成される。図示しなかったが、活性領域 4.2 に選択ゲート 6.8, 2.8 と所定間隔離隔されてアクセスゲートが形成される。トランスマルチゲート T_x はダイオード領域 4.0 に隣接して活性領域 4.2 に形成される。トランスマルチゲート 6.4, 2.4 及びリセットゲート 6.6, 2.6 の間の活性領域 4.2 内に浮遊拡散層 7.0, 3.8 が形成される。図示しなかったが、浮遊拡散層 7.0, 3.8 及び選択ゲート 6.8, 2.8 は配線により電気的に接続される。

【0009】

図 3 及び図 4 は図 2 の A-A に沿って取られた従来の CMOS イメージセンサの製造方法を説明するための工程断面図である。

【0010】

図 3 を参照すると、半導体基板内に深い P ウェル 1.2 を形成する。深い P ウェル 1.2 は示されたように、P 型エピタキシャル層 1.0a が形成されたシリコン基板 1.0 の P 型エピタキシャル層 1.0a とシリコン基板 1.0 との間に形成することができる。P 型エピタキシャル層 1.0a 内に不純物を注入して P ウェル 1.4 を形成する。P ウェル 1.4 は後続工程で定義されるダイオード領域（図 2 の 4.0）周辺に形成される。半導体基板上に素子分離パターン（図 2 の 1.6）を形成して活性領域（図 2 の 4.2）及びダイオード領域（図 2 の 4.0）を限定する。ダイオード領域（図 2 の 4.0）に隣接した活性領域（図 2 の 4.2）内に N 型チャンネル拡散層 2.2 を形成し、活性領域（図 2 の 4.2）上に順次的に所定間隔離隔されたトランスマルチゲート 2.4、リセットゲート 2.6 及び選択ゲート 2.8 を形成する。トランスマルチゲート 2.4 は N 型チャンネル拡散層 2.2 上に形成される。次いで、ダイオード領域（図 2 の 4.0）内に不純物を注入して N 型フォトダイオード 1.8 を形成し、N 型フォトダイオード 1.8 の上部に P 型ダイオード領域 2.0 を形成する。N 型フォトダイオード 1.8 及び P 型フォトダイオード 2.0 はゲートを形成する前に形成することもできる。

【0011】

続けて、活性領域（図 2 の 4.2）内に不純物を注入してトランスマルチゲート 2.4、リセットゲート 2.6 及び選択ゲート 2.8 の側壁に整列された低濃度拡散層 3.0, 3.2 を形成する。

【0012】

図 4 を参照すると、低濃度拡散層 3.0, 3.2 が形成された基板の全面に絶縁膜を形成し、ダイオード領域（図 2 の 4.0）を覆い、活性領域（図 2 の 4.2）を露出させるフォトトレジストを形成する。次いで、フォトトレジストをエッチングマスクとして使用して絶縁膜を異方性エッチングしてダイオード領域（図 2 の 4.0）を覆うプロッキング層 3.4a 及びトランスマルチゲート 2.4、リセットゲート 2.6 及び選択ゲート 2.8 の側壁に側壁スペーサ 3.4b を形成する。続けて、フォトトレジストを除去する。従来の CMOS イメージセンサで、プロッキング層 3.4a はダイオード領域（図 2 の 4.0）を覆い、横に拡張されてトランスマルチゲート 2.4 の上部面の一部及び一側壁をコンフォーマルに覆う。プロッキング層 3.4a、ゲート 2.4, 2.6, 2.8 及び側壁スペーサ 3.4b をエッチングマスクとして使用して半導体基板内に不純物を注入して低濃度拡散層 3.0, 3.2 内に側壁スペーサ 3.4b の外壁に整列された高濃度拡散層 3.6 を形成する。その結果、示されたように活性領域（図 2 の 4.2）内に DDD 構造の拡散層が形成される。これとは違って、活性領域（図 2 の 4.2）に LDD 構造の拡散層を形成することもできる。トランスマルチゲート 2.4 及びリセットゲート 2.6 の間の活性領域内の低濃度拡散層 3.0 及び高濃度拡散層 3.6 は CMOS イメージセンサの浮遊拡散層 3.8 を形成する。

【0013】

前述したように従来技術によると、ダイオード領域（図 2 の 4.0）の上部を覆い、絶縁膜を異方性エッチングすることにより P 型フォトダイオード 2.0 の表面が損傷されることを防ぐことにより、P 型フォトダイオード 2.0 の表面から発生する暗電流を顕著に減らすことができる。しかし、側壁スペーサ 3.4b を形成する間、浮遊拡散層 3.8 が形成される活性領域の表面がエッチング損傷を受けることができ、高濃度拡散層 3.6 を形成する間イオンの高いエネルギーにより活性領域の格子損傷が発生することができる。これにより、

10

20

30

40

50

浮遊拡散層 38 に漏洩電流の経路が形成されてイメージセンサの動作時浮遊拡散層 38 の電位を十分に高めることができず、結果的にイメージセンサの暗電流が増加し、出力信号のレベルを落とすか、或いは信号が出力されない問題を誘発する。又、LDD構造の拡散層を形成する場合、高濃度拡散層 36 と P ウェル 14 との高い電界により浮遊拡散層 8 の漏洩電流が発生する確率がさらに高くなる。

【0014】

【特許文献 1】韓国出願番号 2001-004105

【特許文献 2】日本特開平 8-335688

【発明の開示】

【発明が解決しようとする課題】

10

【0015】

本発明の目的は浮遊拡散層の漏洩電流を減少させ得る構造を有する CMOS イメージセンサ及びその製造方法を提供することである。

【0016】

本発明の目的は浮遊拡散層の暗電流を減少させ得る構造を有する CMOS イメージセンサ及びその製造方法を提供することである。

【0017】

本発明のさらに他の目的は浮遊拡散層の漏洩電流及び暗電流を減少させることにより優れた品質の信号を出力することができる CMOS イメージセンサ及びその製造方法を提供することである。

20

【課題を解決するための手段】

【0018】

前述した目的を達成するために本発明は CMOS イメージセンサを提供する。このイメージセンサは、半導体基板に形成されてダイオード領域及び活性領域を限定する素子分離パターンを含む。フォトダイオード領域内にフォトダイオードが形成され、フォトダイオードに隣接して活性領域上にトランスマスクゲートが形成される。トランスマスクゲートと所定間隔離隔されて活性領域上にリセットゲート及び選択ゲートが互いに離隔されて順次に形成される。トランスマスクゲート及びリセットゲートの間の活性領域に浮遊拡散層が形成される。ダイオード領域上にフォトダイオードを保護するブロッキング層が形成される。本発明で、ブロッキング層は活性領域まで拡張されてトランスマスクゲート及び浮遊拡散層上に覆われる。その結果、ブロッキング層は浮遊拡散層が損傷されることを防がせて浮遊拡散層から漏洩される電荷量を顕著に減らすことができ、浮遊拡散層で暗電流が発生することを防ぐことができる。

30

【0019】

前述した目的を達成するために本発明は CMOS イメージセンサの製造方法を提供する。この方法は、半導体基板にダイオード領域及び活性領域を限定する素子分離パターンを形成し、ダイオード領域内にフォトダイオードを形成することを含む。活性領域上にトランスマスクゲート、リセットゲート及び選択ゲートを順次的に所定間隔離隔させて形成する。この際、トランスマスクゲートはダイオード領域に隣接した活性領域上に形成する。トランスマスクゲート及びリセットゲートの間の活性領域内に浮遊拡散層を形成する。これと同時に、リセットゲート及び選択ゲートの間の活性領域内と選択ゲートに隣接した活性領域内に低濃度拡散層を形成する。選択ゲートに対向するリセットゲートの側壁及び選択ゲートの側壁上に側壁スペーサを形成する。この際、ダイオード領域の上部を覆い、活性領域まで拡張されてトランスマスクゲート及び浮遊拡散層を覆うブロッキング層が形成する。最後に、活性領域内に不純物を注入して低濃度拡散層内に側壁スペーサの外壁に整列された高濃度拡散層を形成する。本発明で、浮遊拡散層は側壁スペーサを形成する間エッチング損傷を負わずに、高濃度拡散層を形成するイオン注入による損傷を受けない。

40

【発明の効果】

【0020】

前述したように本発明によると、ダイオード領域上に覆われるブロッキング層を側方に

50

拡張させて浮遊拡散層まで覆うことにより浮遊拡散層の漏洩電流及び暗電流を減少させることができ、CMOSイメージセンサの出力信号の品質を高めることができる。

【発明を実施するための最良の形態】

【0021】

以下、添付した図面を参照して本発明の望ましい実施形態を詳細に説明しようとする。しかし、本発明はここで説明される実施形態に限定されず他の形態に具体化されることもできる。むしろ、ここで紹介される実施形態は開示された内容が徹底し、完全になることができるよう、そして当業者に本発明の思想が十分に伝達されることができるようするため提供されるものである。図面において、層及び領域の厚さは明確性を期するために誇張されたものである。又、層が他の層又は基板“上”にあると言及される場合にそれは他の層又は基板上に直接形成されることができるか、又はそれらの間に第3の層が介在されることもできる。明細書全体にかけて同一な参照番号で表示された部分は同一な構成要素を示す。

【0022】

図5は図2のA-Aに沿って取られた本発明の望ましい実施形態によるCMOSイメージセンサを示した平面図である。

【0023】

図5を参照すると、本発明のCMOSイメージセンサは従来技術と同様に、半導体基板に形成されたダイオード領域（図2の40）及び活性領域（図2の42）を限定する素子分離パターン56と、半導体基板内に形成された深いP型ウェル52と、ダイオード領域（図2の40）の周辺の半導体基板内に形成されたP型ウェル54を含む。活性領域（図2の42）上にトランスマイクログート64、リセットゲート66及び選択ゲート68が所定間隔離隔されて順次的に配置される。トランスマイクログート64の下部の半導体基板内にN型チャンネル領域62が形成され、トランスマイクログート64及びリセットゲート66の間の活性領域内に浮遊拡散層70が形成される。本発明のCMOSイメージセンサはダイオード領域（図2の40）、トランスマイクログート64及び浮遊拡散層70上にコンフォーマルに覆われたブロッキング層74aを含む。ブロッキング層74aは側方に拡張されてリセットゲート66の一側壁及び上部の一部上に付加的に覆われることができる。リセットゲート66の他の側壁と、選択ゲート68の両側壁に各々側壁スペーサ74bが形成される。互いに対向するリセットゲート66の一側壁及び選択ゲート68の一側壁の間の活性領域と、選択ゲート68の他の側壁に隣接した活性領域内に低濃度拡散層72が形成される。低濃度拡散層72はリセットゲート66及び選択ゲート68の側壁に整列されて形成される。各低濃度拡散層72内に側壁スペーサ74aの外側壁に整列された高濃度拡散層76が形成される。低濃度拡散層72及び高濃度拡散層76の対はトランジスタのジョンション領域に該当し、ジョンション領域はDDD構造又はLDD構造で形成されることができる。示されたように、本発明のCMOSイメージセンサの浮遊拡散層70は単一構造を有し、その上部はブロッキング層74aに覆っている。従って、製造工程が実施される間エッチング及びイオン注入による損傷を防ぐことができるので漏洩電流を起こす欠陥を減らすことができ、浮遊拡散層70から発生する暗電流やはり顕著に減らすことができる。

【0024】

これに加えて、ブロッキング層74aの上部及び各側壁スペーサ74bの上部に各々保護層78が付加的に形成されることができ、保護層78の外側壁に整列されて高濃度拡散層76内にサリサイド(salicide)層80が付加的に形成されることができる。

【0025】

図6乃至図8は本発明の望ましい実施形態によるCMOSイメージセンサの製造方法を説明するための工程断面図である。

【0026】

図6を参照すると、半導体基板内に不純物を注入して深いPウェル52を形成する。通常に、半導体基板はシリコン基板50上にP型エピタキシャル層50aを積層して形成

することができ、深いPウェル52はP型エピタキシャル層50a内に不純物を注入することによりシリコン基板50とP型エピタキシャル層50a境界領域(boundary region)に形成されることがある。深いPウェル52はP型エピタキシャル層50aより高濃度にドーピングされる。

【0027】

半導体基板に素子分離パターン56を形成してダイオード領域(図2の40)及び活性領域(図2の42)を限定する。ダイオード領域(図2の40)周辺のP型エピタキシャル層50a内にPウェル54を形成し、ダイオード領域(図2の40)に隣接して活性領域(図2の42)内にN型チャンネル拡散層62を形成する。Pウェル54はP型エピタキシャル層50aより高濃度にドーピングされる。次いで、ダイオード領域(図2の40)内にN型フォトダイオード58を形成し、N型フォトダイオード58の上部にP型フォトダイオード60を形成する。N型フォトダイオード58はN型チャンネル拡散層62に接続され、P型フォトダイオード60はPウェル54に接続されることが望ましい。

【0028】

図7を参照すると、活性領域(図2の42)上に所定間隔離隔されて順次に配置されたトランスマスクゲート64、リセットゲート66及び選択ゲート68を形成する。前述したこととは違って、Pウェル54は素子分離パターン56を形成する前に形成することもでき、N型チャンネル拡散層62、N型フォトダイオード58、P型フォトダイオード60及びゲート64、66、68の形成順序を変えることもできる。即ち、N型フォトダイオード58及びP型フォトダイオード60はゲートを形成した後形成することもできる。以上の段階までは本発明の特徴が含まれずに、従来技術と同一に実施することができる。

【0029】

続けて、トランスマスクゲート64、リセットゲート66及び選択ゲート68の間の活性領域内に不純物を注入してトランスマスクゲート64及びリセットゲート66の間の活性領域内にN型浮遊拡散層70を形成し、選択ゲート68の両側の活性領域内にN型低濃度拡散層72を形成する。浮遊拡散層70及び低濃度拡散層72が形成された半導体基板の全面に絶縁膜74を形成し、絶縁膜74上にP型フォトダイオード60、トランスマスクゲート64及び浮遊拡散層70の上部を覆うフォトレジストパターン75を形成する。フォトレジストパターン75は側方に拡張されてリセットゲート66の上部の一部を付加的に覆うことができる。

【0030】

図8を参照すると、フォトレジストパターン75をエッチングマスクとして使用して絶縁膜74をエッチングしてP型フォトダイオード60、トランスマスクゲート64及び浮遊拡散層70上に覆われたプロッキング層74aを形成し、互いに対向するリセットゲート66の一側壁と選択ゲート68の一側壁及び選択ゲート68の他の側壁に各々側壁スペーサ74bを形成する。続けて、活性領域内に不純物を注入して低濃度拡散層72内にN型高濃度拡散層76を形成する。N型高濃度拡散層76は側壁スペーサ74bの外側壁に整列されて形成される。高濃度拡散層76及び低濃度拡散層72は示されたようにDDD構造で形成されることもでき、LDD構造で形成されることもできる。又、従来技術とは違って本発明で、浮遊拡散層70は側壁スペーサ74bを形成する間エッチング損傷を負わずに、高濃度拡散層76を形成する間イオン注入による損傷を負わない。従って、漏洩電流及び暗電流を誘発することができる欠陥を減らすことができる。

【0031】

続けて、通常的な技術を使用して活性領域にシリサイド層を形成するためプロッキング層74aの上部及び側壁スペーサ74b上に各々覆われた保護層(図5の78)を形成し、活性領域内に保護層78の外壁に整列されたシリサイド層(図5の80)を形成することができる。

【産業上の利用可能性】

【0032】

高画質の出力映像が求められる光学装備に適用することができる。

10

20

30

40

50

【図面の簡単な説明】

【0033】

【図1】典型的なCMOSイメージセンサを示した等価回路図である。

【図2】典型的なCMOSイメージセンサを示した平面図である。

【図3】従来のCMOSイメージセンサの製造方法を説明するための工程断面図である。

【図4】従来のCMOSイメージセンサの製造方法を説明するための工程断面図である。

【図5】本発明の望ましい実施形態によるCMOSイメージセンサを示した平面図である

【図6】本発明の望ましい実施形態によるCMOSイメージセンサの製造方法を説明するための工程断面図である。

10

【図7】本発明の望ましい実施形態によるCMOSイメージセンサの製造方法を説明するための工程断面図である。

【図8】本発明の望ましい実施形態によるCMOSイメージセンサの製造方法を説明するための工程断面図である。

20

【符号の説明】

【0034】

52 P型ウェル

56 素子分離パターン

62 N型チャンネル領域

64 トランスマッピングゲート

66 リセットゲート

68 選択ゲート

70 浮遊拡散層

72 低濃度拡散層

74a ブロッキング層

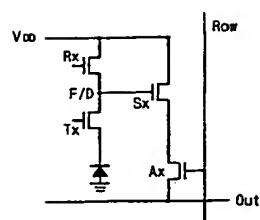
74b 側壁スペーサ

76 高濃度拡散層

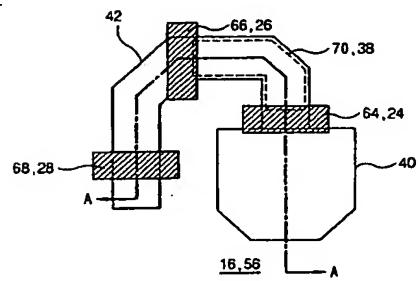
78 保護層

80 サリサイド層

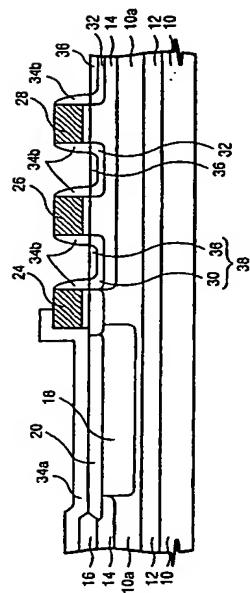
【図1】



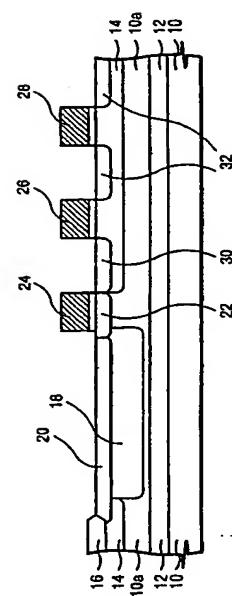
【図2】



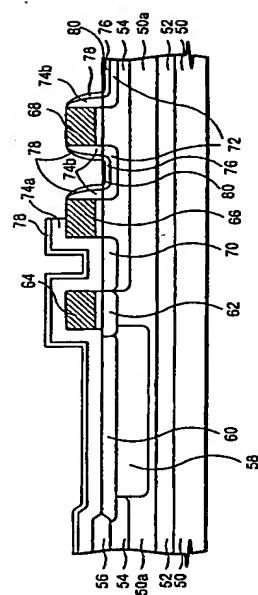
【図4】



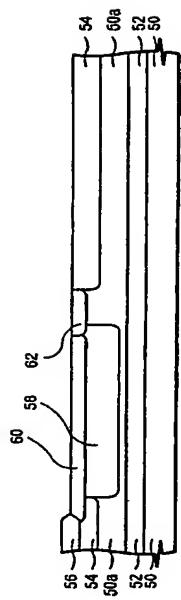
【図3】



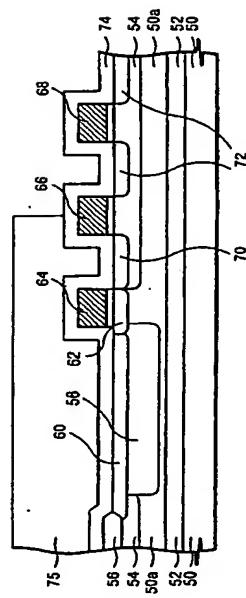
【図5】



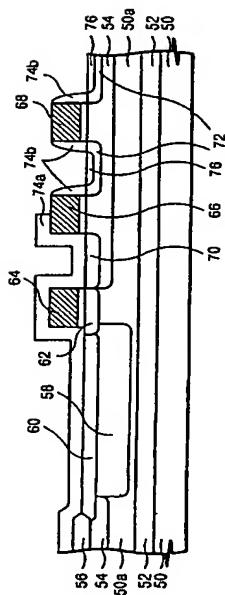
【図 6】



【図 7】



【図 8】



フロントページの続き

F ターム(参考) 4M118 AA10 AB01 BA14 CA02 CA03 CA32 CB14 EA07 EA15 FA06
FA08 FA26 FA28 FA33 FA42
5C024 BX01 CX32 CY47 GX01 GY31